

**SEMICONDUCTOR MEMORY DEVICE**

Patent Number: JP1159890  
Publication date: 1989-06-22  
Inventor(s): KUMANOTANI MASAKI; others: 01  
Applicant(s): MITSUBISHI ELECTRIC CORP  
Requested Patent: ☐ JP1159890  
Application Number: JP19870322106 19871217  
Priority Number(s):  
IPC Classification: G11C11/34  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PURPOSE:** To reduce the charging and discharging currents of bit lines by providing a voltage effective means to shift down a first power source voltage to a prescribed potential, setting one side of a bit line pair at the prescribed potential and setting the other side at a second power source voltage, at the time of amplifying by means of a sense amplifier.

**CONSTITUTION:** Since the first power source voltage is given to a gate at the time of conducting a transistor Q6 and the first power source voltage is given through the transistor Q6 also to a drain, a transistor Qc executes a work to shift down the potential of a node NHL, namely, the potential of a connecting line HL to (first power source voltage minus a threshold voltage). Since one side of a bit line pair BL1 and the inverse of-BL is set at the prescribed potential, in which the first power source voltage is shifted down by a voltage lowering means Qc, and the other side is set at the second power source voltage level at the time of amplifying by means of a sense amplifier 2, by connecting both the bit line pair BL1 and the inverse of-BL after the amplification, the potentials of the bit line pair-BL and the inverse of-BL are set at 1/2 of the prescribed potential. Thus, the charging and discharging currents of the bit line pair BL1 and the inverse of-BL can be reduced without increasing a standby current.

---

Data supplied from the esp@cenet database - I2

## ⑫ 公開特許公報(A)

平1-159890

⑤ Int.Cl.<sup>4</sup>

G 11 C 11/34

識別記号

3 5 3

庁内整理番号

E-8522-5B

⑬ 公開 平成1年(1989)6月22日

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 半導体記憶装置

⑮ 特 願 昭62-322106

⑯ 出 願 昭62(1987)12月17日

⑰ 発 明 者 熊 野 谷 正 樹 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内  
⑱ 発 明 者 堂 阪 勝 己 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内  
⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号  
⑳ 代 理 人 弁理士 大岩 増雄 外2名

## 明 細 書

## 1. 発明の名称

半導体記憶装置

## 2. 特許請求の範囲

(1) 第1の電源電圧及び第2の電源電圧が第1の制御信号に従い第1及び第2の電圧供給経路よりそれぞれ供給されるセンスアンプにて、ビット線対の電位差を検知し増幅することでメモリセルの情報を読出す方式の半導体記憶装置において、

前記第1の電圧供給経路に介装され前記第1の電源電圧を所定電位にシフトダウンさせる電圧降下手段を備え

前記センスアンプは、増幅時にビット線対の一方を前記所定電位に、他方を前記第2の電源電圧に設定することを特徴とする半導体記憶装置。

(2) 前記電圧効果手段は、前記第1の電圧供給経路に介装され制御電極に前記第1の電源電圧が印加されることで前記第1の電源電圧をその閾値電圧だけ降下させるトランジスタを含む特許請求の範囲第1項記載の半導体記憶装置。

(3) 前記第2の電源電圧は接地レベルである特許請求の範囲第1項または第2項記載の半導体記憶装置。

## 3. 発明の詳細な説明

(産業上の利用分野)

この発明は、第1の制御信号に従い第1の電源電圧及び第2の電源電圧が第1及び第2の電圧供給経路より供給されるセンスアンプにて、ビット線対の電位差を検知し増幅することでメモリセルの情報を読出す方式の半導体記憶装置に関するものである。

(従来の技術)

近年、ダイナミック型MOSRAM(以下「DRAM」という。)等の高集積メモリでは、その高集積化に伴い、低消費電力化が望まれている。DRAMでは、總消費電流においてビット線対の充放電電流の占める割合が大きい。そこでビット線対の充放電電流の低減化が計られた。

第3図は「ISSCC DIGEST OF TECHNICAL PAPERS Feb.1987 pp.12-13」に記載された“A 90ns 4Mb

DRAM in a 300 mil dip" に開示された、DRAMの概念を示した図であるメモリセル及びセンスアンプ周辺を示した回路図である。

同図において、1はメモリセルであり、選択トランジスタQ0、メモリキャパシタC0から構成され、選択トランジスタQ0を介してビット線BL及びワード線WLに接続されている。

2はセンスアンプであり、ビット線BL'、BL'間に設けられ、ソースが接続線LLに共通に接続されたnチャネルMISTランジスタQ1、Q2よりフリップフロップを構成し、ソースが接続線HLに共通に接続されたpチャネルMISTランジスタQ3、Q4よりフリップフロップを構成することで、ビット線BL'、BL'の電位差を検出し、一方を接続線LLの電位、他方を接続線HLの電位に増幅する。

接続線LLはゲートに制御信号S0が印加されるnチャネルMISTランジスタQ5を介して接地レベル("L"レベル)に、接続線HLはゲートに反転制御信号S0が印加されるpチャネルM

ISTランジスタQ6を介して電源電圧V<sub>cc</sub>("H"レベル)に接続されることで電圧供給経路の動きをする。

Q7はビット線BL、BLの電位をイコライズするためのnチャネルMISTランジスタで、Q8、Q9は各々ビット線BL、BLを電位V<sub>BL</sub>にプリチャージするためのnチャネルMISTランジスタであり、これらのトランジスタQ7~Q9のゲートにはイコライズ信号EQが印加される。

ビット線BLとBL'、BLとBL'は各々ゲートに電源電圧V<sub>cc</sub>が印加される閾値電圧V<sub>th</sub>のnチャネルMISTランジスタQ<sub>B</sub>、Q<sub>B</sub>を介して接続される。また、ビット線BL'とI/O間、BL'とI/O間は、各々ゲートに信号Yが印加されるnチャネルMISTランジスタQ10、Q11を介して接続される。

第4図は、第3図で示したDRAMの読出し動作を示したタイミング図である。以下同図を参照しつつ読出し動作の説明を行う。

時刻T<sub>1</sub>にイコライズ信号EQが立下るとトランジスタQ7~Q9が非導通となるので、既に(V<sub>cc</sub>-V<sub>th</sub>)/2にプリチャージされたビット線BL、BLはフローティング状態となる。

そして、時刻T<sub>2</sub>からワード線WLが立上り"H"レベルになると、メモリセル1内の選択トランジスタQ0が導通し、メモリキャパシタC0に蓄積された電荷がビット線BLに伝わり、メモリキャパシタC0が"H"レベルを記憶している場合は第4図の実線に示すようにビット線BLの電位がわずかに上昇する。この上昇は、トランジスタQ<sub>B</sub>を介してビット線BL'の電位にも伝わる。

そして、時刻T<sub>3</sub>に制御信号S0(S0)を"H"レベル("L"レベル)に立上げ(立下げ)することで、トランジスタQ5、Q6を導通させ、接続線LL、HLの電位を各々接地レベル、電源電圧V<sub>cc</sub>レベルにすることでセンスアンプ2を活性化する。センスアンプ2が活性化するとビット線BL'、BL'間のわずかな電位差により、ト

ランジスタQ1、Q4を導通、トランジスタQ2、Q3を非導通にすることで、ビット線BL'、BL'の電位をそれぞれV<sub>cc</sub>レベル、接地レベルに増幅する。

同時に増幅されたビット線BL'、BL'の電位はトランジスタQ<sub>B</sub>、Q<sub>B</sub>を介してビット線BL、BLに伝わる。この時、ビット線BLの電位は閾値電圧V<sub>th</sub>のトランジスタQ<sub>B</sub>を介してビット線BL'の電位V<sub>cc</sub>が伝わるため、実際には第4図に示すように(V<sub>cc</sub>-V<sub>th</sub>)になる。

そして、時刻T<sub>4</sub>に信号Yが"H"レベルに立上ることで、トランジスタQ10、Q11が導通し、ビット線BL'、BL'の電位がI/O線I/O、I/Oに伝達され、その後増幅されて外部出力端子より"H"レベルが出力される。

そして、時刻T<sub>5</sub>にワード線WLを"L"レベルに立下げること、メモリセル1とビット線BLを遮断する。同時に信号Yも立下げること、ビット線BL'、BL'とI/O線I/O、I/Oを遮断する。

そして、時刻 $T_6$ に信号EQを立上げることで、トランジスタQ7~Q9を導通させ、ビット線対 $\overline{BL}$ ( $\overline{BL}'$ )、 $\overline{BL}$ ( $\overline{BL}'$ )を各々内部電源 $V_{BL}$ ( $= (V_{CC} - V_{th}) / 2$ )に接続することで、ビット線対 $\overline{BL}$ 、 $\overline{BL}$ ( $\overline{BL}'$ 、 $\overline{BL}'$ )のプリチャージを行う。なお、第4図中の点線で示した部分はメモリキャパシタCOが“L”レベルを記憶している場合の各信号の波形を示している。

このようにして、ビット線 $\overline{BL}$ 、 $\overline{BL}$ 間の最大振幅(電位差)を従来の $V_{CC}$ から $(V_{CC} - V_{th})$ に減少させることによりビット線対 $\overline{BL}$ 、 $\overline{BL}$ の充放電電流を減少させることができる。

また、ワード線WLの“H”レベルが $V_{CC}$ の場合は、メモリセル1に與込まれる“H”レベルは、選取トランジスタQ0の閾値電圧を $V_{thH}$ とすると、 $(V_{CC} - V_{thH})$ となり、閾値電圧 $V_{thH}$ 分読み出し電荷を損失する。このことからビット線 $\overline{BL}$ 、 $\overline{BL}$ のプリチャージ電位を従来の $V_{CC}/2$ から $(V_{CC} - V_{th})/2$ に低下させることで、メモリセル1の“H”レベル記憶に対する読み出しマ

ージンを増大させ、動作マージンを向上させるという効果もある。なお、この場合、“L”レベルの読み出しマージンも考慮すると $V_{th} = V_{thH}$ とすることが最も望ましい。

(発明が解決しようとする問題点)

従来のビット線の充放電電流低減化を図ったDRAMは以上のように構成されており、即ちトランジスタQ7を導通させてイコライズするだけではビット線 $\overline{BL}$ 、 $\overline{BL}$ の電位差は $V_{CC}$ であり、ビット線対 $\overline{BL}$ 、 $\overline{BL}$ の電位を $(V_{CC} - V_{th})/2$ に設定することができない。従って、内部電源 $V_{BL}$ により、ビット線対 $\overline{BL}$ 、 $\overline{BL}$ ( $\overline{BL}'$ 、 $\overline{BL}'$ )を $(V_{CC} - V_{th})/2$ に強制的にプリチャージする必要がある。

この内部電源 $V_{BL}$ は、通常電源電圧 $V_{CC}$ と接地レベル間の抵抗分割回路等により発生させるが、上述したようにビット線対 $\overline{BL}$ 、 $\overline{BL}$ ( $\overline{BL}'$ 、 $\overline{BL}'$ )の電位を強制的に $(V_{CC} - V_{th})/2$ にするため駆動能力を大きくする必要があり、分割抵抗の抵抗値を大きくすることができなかった。

その結果、DRAMの非アクセス時の電源電圧 $V_{CC}$ と接地レベル間にDC的に流れるスタンバイ電流が大きくなり、消費電力が大きくなるという問題点があった。

この発明は上記のような問題点を解消するためになされたもので、スタンバイ電流量を増加させることなく、ビット線の充放電電流の低減化を図った半導体記憶装置を得ることを目的とする。

(問題点を解決するための手段)

この発明に係る半導体記憶装置は、第1の電源電圧及び第2の電源電圧が第1の制御信号に従い第1及び第2の電圧供給経路よりそれぞれ供給されるセンスアンプにて、ビット線対の電位差を検知し増幅することでメモリセルの情報を読み出す方式であり、前記第1の電圧供給経路に介装され前記第1の電源電圧を所定電位にシフトダウンさせる電圧効果手段を備え、前記センスアンプは、増幅時にビット線対の一方を前記所定電位に、他方を前記第2の電源電圧に設定している。

(作用)

この発明におけるセンスアンプは、増幅時にビット線対の一方を第1の電圧電位を電圧降下手段によりシフトダウンさせた所定電位に、他方を第2の電源電圧レベルに設定したため、増幅後のビット線対の双方を接続することで、ビット線対の電位を前記所定電位の1/2に設定することができる。

(実施例)

第1図はこの発明の一実施例であるDRAMのメモリセル及びセンスアンプ周辺回路図である。同図において、メモリセル1、センスアンプ2、トランジスタQ5~Q11、WL、LL、I/O、I/O、信号EQ、Y、S0、 $\overline{S0}$ は第3図で示した従来例と同じであるので説明は省略する。

従来例と異なりビット線対 $\overline{BL}$ 、 $\overline{BL}$ 間の最大振幅の減少のためにビット線 $\overline{BL}$ 、 $\overline{BL}'$ 間、 $\overline{BL}$ 、 $\overline{BL}'$ 間に設けられたトランジスタQ8、Q9が取り除かれた。

また、トランジスタQ6、接続線HL上のノードN<sub>HL</sub>間に、ゲートに電源電圧 $V_{CC}$ が印加される

nチャネルMISトランジスタ $Q_c$ が設けられている。

トランジスタ $Q_c$ は従来例のトランジスタ $Q_8$  ( $Q_8$ )と同じ閾値電圧 $V_{th}$ を有し、トランジスタ $Q_6$ 導通時はゲートに電源電圧 $V_{cc}$ 、ドレインにもトランジスタ $Q_6$ を介して電源電圧 $V_{cc}$ が与えられることから、ノード $N_{HL}$ の電位(つまり、接続線 $HL$ の電位)を $(V_{cc}-V_{th})$ にシフトダウンさせる働きをする。

第2図は、第1図で示したDRAMの読出し動作を示した信号である。以下、同図を参照しつつ読出し動作の説明を行う。

時刻 $T_1$ にイコライズ信号 $EQ$ が立下ると、トランジスタ $Q_7 \sim Q_9$ が非導通となり、既に $(V_{cc}-V_{th})/2$ にプリチャージされたビット線対 $BL$ ,  $\overline{BL}$ はフローティング状態となる。

そして、時刻 $T_2$ にワード線が“H”レベルに立上ると、メモリセル1内の選択トランジスタ $Q_0$ が導通し、メモリキャパシタ $CO$ に蓄積された電荷がビット線 $BL$ に伝わり、メモリキャパシタ

に立下げることで、メモリセル1とビット線 $BL$ を遮断する。同時に信号 $Y$ も立下げることで、ビット線対 $BL$ ,  $\overline{BL}$ と $I/O$ 線対 $I/O$ ,  $\overline{I/O}$ を遮断する。

そして、時刻 $T_6$ にイコライズ信号 $EQ$ を立上ることで、トランジスタ $Q_7 \sim Q_9$ を導通させる。この時、ビット線対 $BL$ ,  $\overline{BL}$ の一方が $(V_{cc}-V_{th})$ 、他方が $0V$ であるので、導通したトランジスタ $Q_7$ により、ビット線対 $BL$ ,  $\overline{BL}$ がイコライズさせることで、両者の電位を $(V_{cc}-V_{th})/2$ にすることができる。従って内部電源 $V_{BL}$ は従来のようにビット線対 $BL$ ,  $\overline{BL}$ を $(V_{cc}-V_{th})/2$ に強制的にプリチャージする必要はなく、単に、 $(V_{cc}-V_{th})/2$ を保持するだけでよい。その結果、内部電源 $V_{BL}$ は駆動能力をほとんど必要としなくなり、分割抵抗の抵抗値を大きくすることができるため、スタンバイ電流を大幅に減少できる。なお、第2図中の点線で示した部分は、メモリキャパシタ $CO$ が“L”レベルを記憶している場合の各信号の波形を示している。

$CO$ が“H”レベルを記憶している場合は、第2図の実線に示すようにビット線 $BL$ の電位はわずかに上昇する。

そして、時刻 $T_3$ に制御信号 $S_0$  ( $\overline{S_0}$ )が“H”レベル(“L”レベル)に立上る(立下る)ことで、トランジスタ $Q_5$ ,  $Q_6$ は導通し接続線 $LL$ の電位を接地レベルに向けて放電し、接続線 $HL$ の電位を $(V_{cc}-V_{th})$ に向けて充電することでセンスアンプ2を活性化する。センスアンプ2が活性化するとビット線 $BL$ ,  $\overline{BL}$ 間のわずかな電位差により、トランジスタ $Q_1$ ,  $Q_4$ を導通、トランジスタ $Q_2$ ,  $Q_3$ を非導通にすることで、ビット線 $BL$ ,  $\overline{BL}$ の電位をそれぞれ $(V_{cc}-V_{th})$ レベル、接地レベルに増幅する。

そして、時刻 $T_4$ に信号 $Y$ が立上ることで、トランジスタ $Q_{10}$ ,  $Q_{11}$ が導通し、ビット線 $BL$ ,  $\overline{BL}$ の電位が $I/O$ 線 $I/O$ ,  $\overline{I/O}$ に伝達され、その後増幅されて外部出力端子より“H”レベルが出力される。

そして、時刻 $T_5$ にワード線 $WL$ を“L”レベ

このように $(V_{cc}-V_{th})/2$ レベルの内部電源 $V_{BL}$ は駆動能力をほとんど必要とせず、スタンバイ電流を大幅に減少させることができるため、消費電力も大幅に低減する。

また、この実施例ではトランジスタ $Q_c$ の導電型をnチャネルに設定したが、逆にpチャネルにしても適当に制御信号を変化させることで実現できる。

#### (発明の効果)

以上説明したように、この発明によれば増幅後のビット線対の双方を接続することでビット線対の電位を各々第1の電源電圧をシフトダウンした所定電位の $1/2$ に設定でき、プリチャージは駆動能力の小さい内部電源により行うことができるため、スタンバイ電流を増加させることなく、ビット線対の充放電電流の低減化が図れる。

#### 4. 図面の簡単な説明

第1図はこの発明の一実施例であるDRAMのメモリセル及びセンスアンプ周辺を示す回路図、第2図は第1図で示したDRAMの読出し動作を

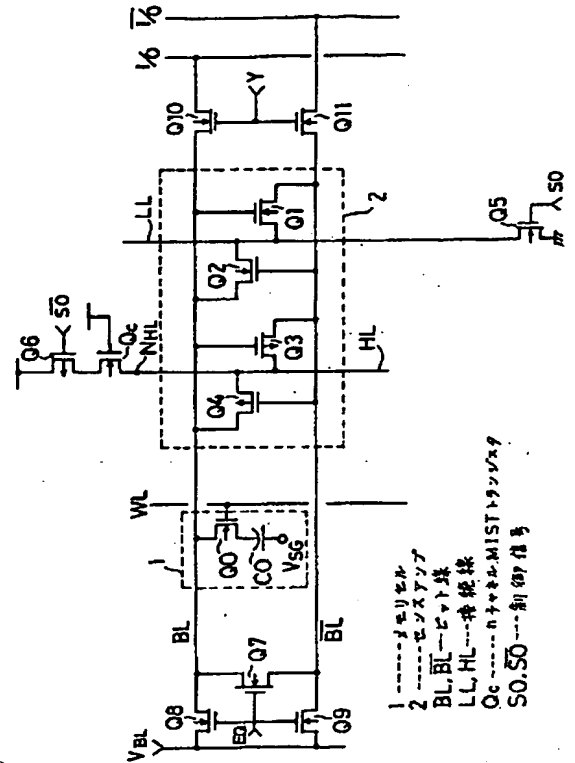
示すタイミング図、第3図は従来のDRAMのメモリセル及びセンスアンプ周辺を示す図、第4図は第3図で示したDRAMの読出し動作を示すタイミング図である。

図において、1はメモリセル、2はセンスアンプ、BL、 $\overline{BL}$ はビット線、LL、HLは接続線、 $Q_c$ はnチャネルMISトランジスタ、 $S_0$ 、 $\overline{S_0}$ は制御信号である。

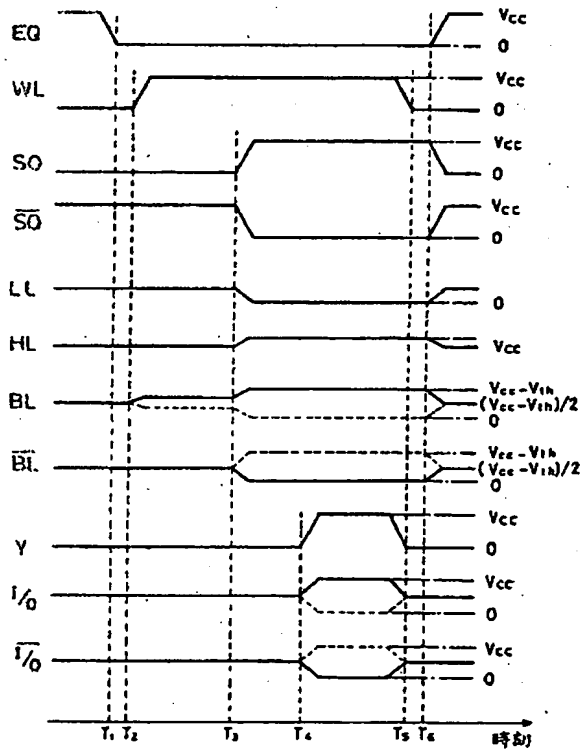
なお、各図中同一符号は同一または相当部分を示す。

代理人 大 岩 増 雄

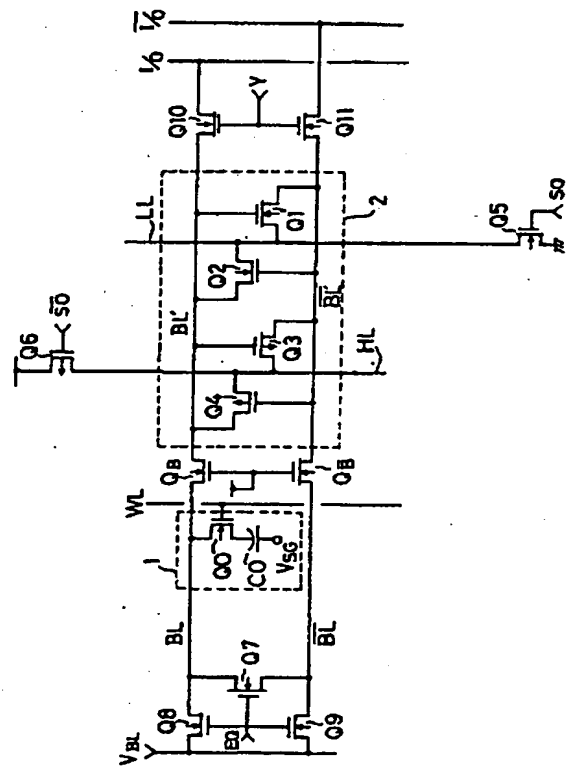
第1図



第2図



第3図





特許庁長官殿

1. 事件の表示 特願昭 62-322106号

2. 発明の名称

半導体記憶装置

3. 補正をする者

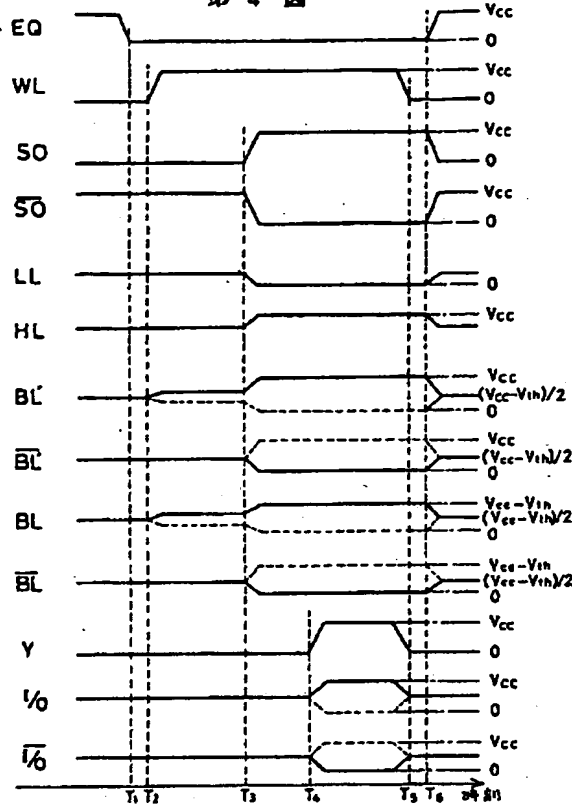
事件との関係 特許出願人  
住所 東京都千代田区丸の内二丁目2番3号  
名称 (601) 三菱電機株式会社  
代表者 志岐守哉

4. 代理人

住所 東京都千代田区丸の内二丁目2番3号  
三菱電機株式会社内  
氏名 (7375) 弁理士 大岩増雄  
(連絡先 03(213) 3421(特許部))



第4図



5. 補正の対象

明細書の「特許請求の範囲の欄」及び「発明の詳細な説明の欄」

6. 補正の内容

- (1) 特許請求の範囲を別紙の通り補正する。
- (2) 明細書の第9頁第17行の「電圧効果手段」を「電圧降下手段」に訂正する。

以上

2. 特許請求の範囲

(1) 第1の電源電圧及び第2の電源電圧が第1の制御信号に従い第1及び第2の電圧供給経路よりそれぞれ供給されるセンスアンプにて、ビット線対の電位差を検知し増幅することでメモリセルの情報を読み出す方式の半導体記憶装置において、前記第1の電圧供給経路に介装され前記第1の電源電圧を所定電位にシフトダウンさせる電圧降下手段を備え、

前記センスアンプは、増幅時にビット線対の一方を前記所定電位に、他方を前記第2の電源電圧に設定することを特徴とする半導体記憶装置。

(2) 前記電圧降下手段は、前記第1の電圧供給経路に介装され制御電極に前記第1の電源電圧が印加されることで前記第1の電源電圧をその閾値電圧だけ降下させるトランジスタを含む特許請求の範囲第1項記載の半導体記憶装置。

(3) 前記第2の電源電圧は接地レベルである特許請求の範囲第1項または第2項記載の半導体記憶装置。